

BEST AVAILABLE COPY,

The KR Laid-Open No. 1999-025236

METHOD FOR FABRICATING CAPACITOR OF SEMICONDUCTOR DEVICE

The present invention relates to a method for fabricating a capacitor of a semiconductor device. In accordance with the present invention, a contact hole exposing a substrate is filled with a metal layer in a height lower than a polysilicon layer doped with a resistance. Then, the doped polysilicon layer is formed thereon and another metal layer in contact with a lateral side of the aforementioned metal layer is formed. Accordingly, it is possible to prevent an operation speed of the semiconductor device from getting slow due to a contact hole with a large aspect ratio.

(19) 대한민국특허청 (KR)
 (12) 공개특허공보(A)

(51) Int. Cl.⁶
 H01L 21/108

(11) 공개번호 특 1999-025236
 (43) 공개일자 1999년 04월 06일

(21) 출원번호	특 1997-046797
(22) 출원일자	1997년 09월 11일
(71) 출원인	삼성전자 주식회사 문증용 경기도 수원시 팔달구 매탄3동 416
(72) 발명자	남갑진 경기도 수원시 장안구 화서2동 244-26 원석준 서울특별시 관악구 봉천7동 1603-25 박영록 경기도 수원시 장안구 정자동 37-42 새한빌라 B동 201호 김경훈 서울특별시 용산구 원효로1가 31-4

설명구 : 얇음

(54) 반도체장치의 커파시터 형성방법

요약

본 발명은 반도체장치의 커파시터 형성방법에 관한 개시한다. 본 발명은 기판을 노출시키는 콘택홀을 저항이 도핑된 폴리실리콘층보다 낮은 금속층으로 채운다. 그리고 그 상부면 상에 도핑된 폴리실리콘층을 형성하고 상기 폴리실리콘층의 전면에 상기 금속층의 층면과 접촉되는 다른 금속층을 형성한다. 이렇게 함으로써, 증기비가 큰 콘택홀에 의해 반도체장치의 동작속도가 느려지는 것을 방지할 수 있다.

000

54

도면

도면의 간접화 설명

도 1은 증기 기술에 의한 반도체장치의 커파시터 형성방법을 나타낸 도면이다.

도 2 내지 도 4는 본 발명의 실시예에 의한 반도체장치의 커파시터 형성방법은 단계별로 나타낸 도면들이다.

도면의 주요 부분에 대한 부호설명

40:반도체기판, 42:필드산화막,
 44:게이트 전극, 46:게이트 스페이서,
 48:층간절연막, 50:콘택홀,
 52a, 54a:제1 금속층 패턴, 도전층 패턴.

발명의 실체화 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 증례기술

본 발명은 반도체장치의 커파시터 형성방법에 관한 것으로서 특히, 커파시터의 하부전극과 기판을 연결시키는 통로인 콘택홀의 증기비(aspect ratio)가 커짐에 따른 콘택홀을 채우는 물질층의 저항 증가를 방지할 수 있는 커파시터 형성방법에 관한 것이다.

반도체장치가 고집적화됨에 따라 콘택홀의 직경이 작아지는 반면 그 깊이는 더욱 깊어져서 콘택홀의 증가

비가 커지고 있다. 콘택홀의 증횡비가 커짐에 따라 콘택홀을 채우는 률질총의 직경이 작고 그 길이는 길어진다. 그런데, 소정의 길이와 직경을 갖는 률질총의 경우, 직경이 작아지고 그 길이가 길어질수록 률질총의 전기적 저항은 증가된다. 따라서 반도체장치가 고집적화될수록 콘택홀을 채우는 률질총의 선택은 신중히 이루어져야 한다.

이하, 증래 기술에 의한 커파시터 형성방법에서 증가된 증횡비의 콘택홀에 어떠한 률질총을 채우고 그에 따라 어떠한 문제제가 발생되는가를 설명한다.

도 1을 참조하면, 반도체기판(10) 상에 층간절연막(12)을 형성한다. 층간절연막(12)에 반도체기판(10)을 노출시키는 콘택홀(14)을 형성한다. 층간절연막(12) 상에 콘택홀(14)을 채우는 제1 도전층(16)을 형성한다. 제1 도전층(16)은 커파시터의 하부전극으로 사용되며, 도핑된 폴리실리콘층으로 형성한다. 제1 도전층(16)의 전면에 유전막(18)을 형성한다. 유전막(18)의 전면에 제2 도전층(20)을 형성한다. 제2 도전층(20)은 커파시터의 상부전극으로 사용된다. 제2 도전층(20)은 제1 도전층(16)과 마찬가지로 도핑된 폴리실리콘층으로 형성한다.

이와 같이, 증래 기술에 의한 커파시터 형성방법은 도핑된 폴리실리콘층을 하부전극으로 사용한다. 그런데, 하부전극이 기판과 연결되는 콘택홀의 직경은 반도체장치의 고집적화에 따라 작아지고 콘택홀의 길이는 길어져서 콘택홀의 증횡비(aspect ratio)는 더욱 커지고 있다. 결국, 증래 기술에 의한 커파시터 방법으로 커파시터를 형성하는 경우, 콘택홀을 채운 률질총의 전기적 저항은 증가되어 반도체장치의 동작속도는 느려지게 된다.

발명이 이루고자 하는 기술적 과제

따라서 본 발명이 이루고자 하는 기술적 과제는, 증래 기술에 나타나는 이러한 문제점을 해결하기 위한 것으로서, 높은 길이의 증횡비를 갖는 콘택홀을 채우는 률질총의 저항을 충분히 낮게 하여 반도체장치의 동작속도가 저하되는 것을 방지할 수 있는 반도체장치의 커파시터 형성방법을 제공함에 있다.

발명의 구조 및 작용

상기 기술적 과제를 달성하기 위하여, 본 발명에 의한 반도체장치의 커파시터는 다음과 같은 순서로 형성한다.

(a) 반도체기판 상에 층간절연막을 형성한다. (b) 상기 층간절연막에 콘택홀을 형성한다. (c) 상기 층간절연막 상에 상기 콘택홀을 채우는 제1 금속층 패턴을 형성한다. (d) 상기 제1 금속층 패턴 상에 제1 도전층 패턴을 형성한다. (e) 상기 제1 금속층 패턴과 도전층 패턴의 전면에 제2 금속층 패턴을 형성한다. (f) 상기 제2 금속층 패턴의 전면에 유전막과 제2 도전층 패턴을 순차적으로 형성한다.

본 발명의 실시예에 의하면, 상기 제2 금속층 패턴을 형성한 후 그 결과물을 노(furnace) 또는 RTP(Rapid Thermal Processing)장비를 이용하여 열처리한다.

본 발명의 실시예에 의하면, 상기 제2 금속층 패턴과 상기 유전막 사이에 확산방지막을 더 형성한다.

본 발명의 실시예에 의하면, 상기 제1 및 제2 금속층 패턴은 티타늄(Ti), 텁스텐(W), 루테늄(Ru), 티타늄나이트라이드(TiN), 텁스텐나이트라이드(WN), 티타늄 실리사이드(TiSi_x), 텁스텐 실리사이드(WSi_x) 및 루테늄 산화막(RuO_x)으로 이루어진 일군중 선택된 어느 하나로 형성된다.

본 발명의 실시예에 의하면, 상기 제1 도전층 패턴의 전면에 반구형 그레인(Hemi Spherical Grains; 이하, HSG라 함)막을 형성한다.

본 발명의 실시예에 의하면, 상기 유전막은 단일막 또는 복합막이며, 실리콘 질화막, 실리콘 산화막, 탄탈륨 산화막 또는 PZT와 같은 강유전률질막으로 이루어진 일군중 선택된 적어도 어느 하나로 형성한다.

본 발명은 기판을 노출시키는 콘택홀을 저항이 도핑된 폴리실리콘층보다 낮은 금속층으로 채운다. 그리고 그 상부면 상에 도핑된 폴리실리콘층을 형성하고 상기 폴리실리콘층의 전면에 상기 금속층의 흡면과 접촉되는 다른 금속층을 형성한다. 이렇게 합으로써, 증횡비가 큰 콘택홀에 의해 반도체장치의 동작속도가 느려지는 것을 방지할 수 있다.

이하, 본 발명의 실시예에 의한 반도체장치의 커파시터 형성방법을 혼부된 도면을 참조하여 상세하게 설명한다.

도 2 내지 도 4는 본 발명의 실시예에 의한 반도체장치의 커파시터 형성방법은 단계별로 나타낸 도면들이다.

도 2를 참조하면, 반도체기판(40)을 활성영역과 필드영역으로 한정한다. 상기 필드영역에 필드산화막(42)을 형성한다. 그리고 상기 활성영역에는 게이트 전극(44)을 형성하고 상기 게이트 전극(44)의 출면에 게이트 스페이서(46)를 형성한다. 이러한 결과를 전면에 층간절연막(48)을 형성한다. 상기 층간절연막(48)에 상기 반도체기판(40)을 노출시키는 콘택홀(50)을 형성한다.

도 3을 참조하면, 상기 층간절연막(48)의 전면에 상기 콘택홀(50)을 채우는 제1 금속층(52)을 형성한다. 상기 제1 금속층(52)은 티타늄(Ti), 텁스텐(W), 루테늄(Ru), 티타늄나이트라이드(TiN), 텁스텐나이트라이드(WN), 티타늄 실리사이드(TiSi_x), 텁스텐 실리사이드(WSi_x) 및 루테늄 산화막(RuO_x)으로 이루어진 일군중 선택된 어느 하나로 형성한다. 상기 제1 금속층(52)을 에치 백으로 패턴화한 다음, 그 전면에 제1 도전층(54)을 형성한다. 상기 제1 도전층(54)은 도핑된 폴리실리콘층으로 형성된다. 상기 제1 도전층(54)에 도핑하는 도전트로는 인(P), 비소(As) 등과 같은 n형 도전성 불순물을 사용한다.

도 4를 참조하면, 상기 제1 금속층(52)과 상기 제1 도전층(54)을 상기 층간절연막의 계면이 노출될 때 까지 이방성식각하여 제1 금속층 패턴(52a)과 제1 도전층 패턴(54a)을 각각 형성한다. 상기 제1 도전층 패

턴(54a)의 표면적을 넓게 하기 위해, 그 전면에 HSG막을 형성할 수도 있다. 이어서, 상기 제1 금속층 패턴(52a)과 제1 도전층 패턴(54a)의 전면에 제2 금속층 패턴(56)을 형성한다. 이 결과, 상기 제2 금속층 패턴(56)은 상기 제1 금속층 패턴(52a)의 축면과 접촉된다. 상기 제2 금속층 패턴(56)을 형성한 후 그 결과물을 노(furnace) 또는 RTP(Rapid Thermal Processing)장비를 이용하여 열처리하여 상기 제1 도전층 패턴(54a)과 상기 제2 금속층 패턴(56)을 결합시킨다. 상기 제1 및 제2 금속층 패턴(52a, 56)과 상기 제1 도전층 패턴(54a)은 하부전극을 형성한다. 이후, 도면에 도시하지 않았지만, 상기 결과물을 전면에 유전막과 제2 도전층을 순차적으로 형성한 다음 셀 단위로 패터닝하여 셀 커패시터를 형성한다. 여기서, 상기 유전막은 단일막 또는 복합막이며, 실리콘 질화막, 실리콘 산화막, 탄탈륨 산화막 또는 PZT와 같은 강유전율질막으로 이루어진 일군중 선택된 적어도 어느 하나로 형성한다. 상기 유전막을 형성하기 전, 상기 제2 금속층 패턴(56)의 전면에 확산방지막을 더 형성할 수도 있다.

발명의 효과

이상으로, 본 발명은 기판을 노출시키는 콘택홀을 저항이 도핑된 폴리실리콘보다 낮은 금속층으로 채운다. 그리고 그 상부면 상에 도핑된 폴리실리콘층을 형성하고 상기 폴리실리콘층의 전면에 상기 금속층의 축면과 접촉되는 다른 금속층을 형성한다. 이렇게 함으로써, 증정비가 큰 콘택홀에 의해 반도체장치의 동작속도가 느려지는 것을 방지할 수 있다.

본 발명은 상기 실시예에 한정되지 않으며, 많은 변형이 본 발명의 기술적 사상내에서 당분야에서의 통상의 지식을 가진 자에 의하여 실시 가능할은 명백하다.

(57) 청구의 범위

청구항 1

- (a) 반도체기판 상에 층간절연막을 형성하는 단계;
- (b) 상기 층간절연막에 콘택홀을 형성하는 단계;
- (c) 상기 층간절연막 상에 상기 콘택홀을 채우는 제1 금속층 패턴을 형성하는 단계;
- (d) 상기 제1 금속층 패턴 상에 제1 도전층 패턴을 형성하는 단계;
- (e) 상기 제1 금속층 패턴과 도전층 패턴의 전면에 제2 금속층 패턴을 형성하는 단계; 및
- (f) 상기 제2 금속층 패턴의 전면에 유전막과 제2 도전층 패턴을 순차적으로 형성하는 단계를 포함하는 것을 특징으로 하는 반도체장치의 커패시터 형성방법.

청구항 2

제 1 항에 있어서, 상기 제2 금속층 패턴을 형성한 후 그 결과물을 노(furnace)나 RTP장비를 이용하여 열처리하는 것을 특징으로 하는 반도체장치의 커패시터 형성방법.

청구항 3

제 2 항에 있어서, 상기 제2 금속층 패턴과 상기 유전막 사이에 확산방지막을 더 형성하는 것을 특징으로 하는 반도체장치의 커패시터 형성방법.

청구항 4

제 1 항에 있어서, 상기 제1 및 제2 금속층 패턴은 티타늄(Ti), 텁스텐(W), 루테늄(Ru), 티타늄 나이트라이드(TiN), 텁스텐 나이트라이드(WN), 티타늄 실리사이드(TiSi_x), 텁스텐 실리사이드(WSi_x) 및 루테늄 산화막(RuO_x)으로 이루어진 일군중 선택된 어느 하나인 것을 특징으로 하는 반도체장치의 커패시터 형성방법.

청구항 5

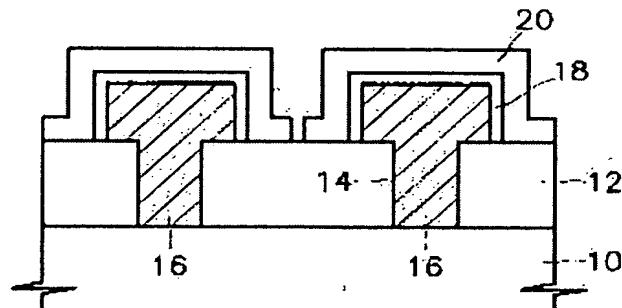
제 1 항에 있어서, 상기 제1 도전층 패턴의 전면에 HSG막을 더 형성하는 것을 특징으로 하는 반도체장치의 커패시터 형성방법.

청구항 6

제 1 항에 있어서, 상기 유전막은 단일막 또는 복합막이며, 실리콘 질화막, 실리콘 산화막, 탄탈륨 산화막 또는 PZT와 같은 강유전율질막으로 이루어진 일군중 선택된 적어도 어느 하나로 형성하는 것을 특징으로 하는 반도체장치의 커패시터 형성방법.

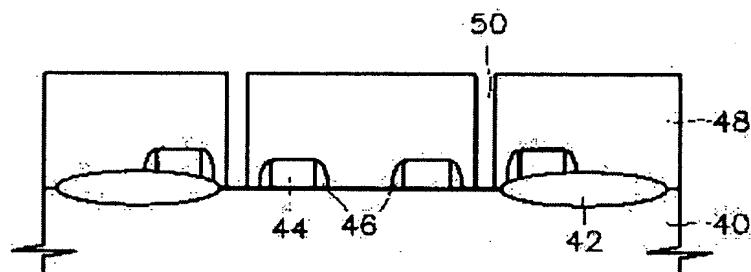
도면

도면1

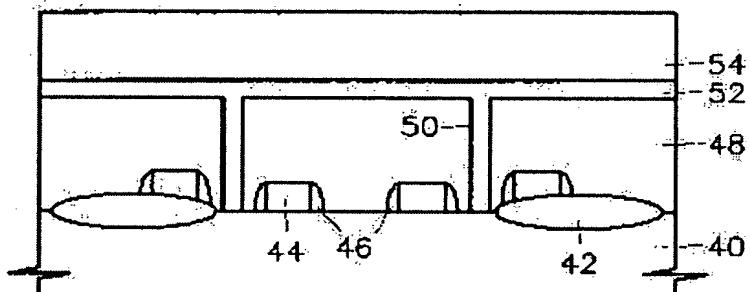


BEST AVAILABLE COPY

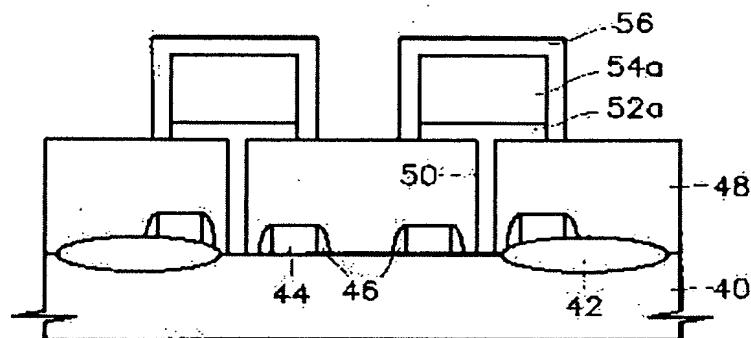
도면2



도면3



504



BEST AVAILABLE COPY